

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

27 SEP 2004

(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
2. Oktober 2003 (02.10.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/081786 A1(51) Internationale Patentklassifikation⁷: H03M 13/29,
H04L 1/00

(21) Internationales Aktenzeichen: PCT/EP03/02942

(22) Internationales Anmeldedatum:
20. März 2003 (20.03.2003)

(25) Einreichungssprache: Deutsch

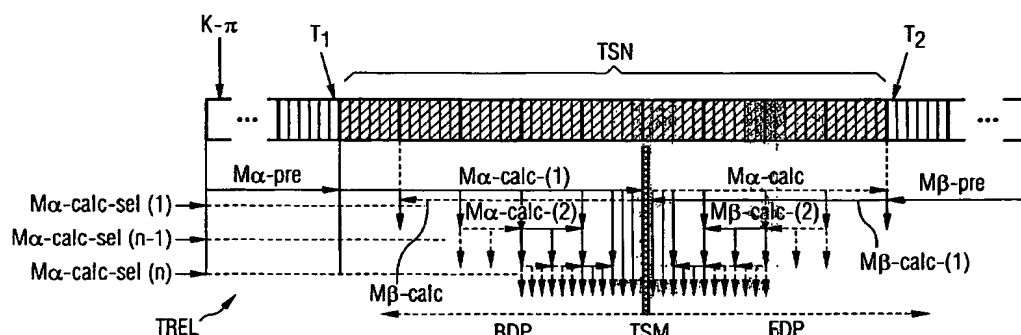
(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
02007030.6 27. März 2002 (27.03.2002) EP
102 13 882.6 27. März 2002 (27.03.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): SIEMENS AKTIENGESELLSCHAFT [DE/DE];
Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): FINN, Lutz [DE/DE];
Konrad-Celtis-Str. 11, 81369 München (DE). RÖSSEL,
Sabine [DE/DE]; Liscowstr. 1 B, 81739 München (DE).
STEIB, Gerhard [DE/DE]; Eulenspiegelstr. 84 D, 81739
München (DE).(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22 16 34, 80506 München
(DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR DECODING A DATA SEQUENCE THAT HAS BEEN ENCODED WITH THE HELP OF A BINARY
CONVOLUTION CODE(54) Bezeichnung: VERFAHREN ZUR DECODIERUNG EINER MIT HILFE EINES BINÄREN FALTUNGSCODES
VERSCHLÜSSELTEN DATENFOLGE

(57) Abstract: The invention relates to a method for decoding a data sequence consisting of K information bits that has been encoded with the help of a binary convolution code, using a MaxLogMAP algorithm. In a first calculation operation, metric values are calculated accurately in a forwards and backwards direction in a trellis diagram and only some of said values are stored in a memory as interpolation points for an additional calculation operation. Said interpolation points are used in an additional calculation operation to accurately calculate the metric values that lie between the interpolation points of the first calculation operation. Soft output values are formed for decoding, said values being determined accurately after n operations.

(57) Zusammenfassung: Verfahren zur Decodierung einer mit Hilfe eines binären Faltungscodes verschlüsselten Datenfolge aus K Informationsbits mittels einem MaxLogMAP-Algorithmus. In einem ersten Berechnungsdurchgang werden Metrikwerte in einer Vorwärts- und in einer Rückwärtsrichtung bei einem Trellis-Diagramm exakt berechnet, von denen jedoch nur eine Auswahl als Stützstellen für einen weiteren Berechnungsdurchgang in einem Speicher abgelegt wird. Mit Hilfe dieser Stützstellen werden in einem weiteren Berechnungsdurchgang die zwischen den Stützstellen des ersten Berechnungsdurchgangs liegenden Metrikwerte exakt berechnet. Es werden Softoutputwerte zur Decodierung gebildet, die nach n Durchgängen alle exakt ermittelt werden.

BEST AVAILABLE COPY

WO 03/081786 A1



(84) **Bestimmungsstaaten** (*regional*): ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zur Decodierung einer mit Hilfe eines binären Faltungscodes verschlüsselten Datenfolge

5

Die vorliegende Erfindung betrifft ein Verfahren zur Decodierung einer mit Hilfe eines binären Faltungscodes verschlüsselten Datenfolge aus K Informationsbits mittels einem MaxLogMAP-Algorithmus.

10

Bei Sprachkanälen und bei Datenkanälen eines Funkkommunikationssystems, das beispielsweise nach dem GSM/EDGE-Mobilfunkstandard ausgeprägt ist, werden zur Datencodierung bzw. Datendecodierung binäre Faltungscodes verwendet. Ein bevorzugter Algorithmus für eine sogenannte „Softinput/Softoutput-Decodierung“ ist der bekannte „symbol-by-symbol log-likelihood maximum a posteriori probability“-Algorithmus (LogMAP-Algorithmus), der im allgemeinen mit Hilfe einer Maximum-Approximation (MaxLogMAP-Algorithmus) realisiert

15

20 wird.

Der grundlegende MAP-Algorithmus ist beispielsweise in der Druckschrift „Optimal Decoding of Linear Codes for Minimizing Symbol Error Rate“, L.R. Bahl et al., IEEE Transactions on Information Theory, pp. 284 - 287, March 1974 beschrieben, der MaxLogMAP-Algorithmus kann der Druckschrift „Iterative Decoding of Binary Block and Convolutional Codes“, J. Hagenauer et al., IEEE Transactions on Information Theory, vol. 42, no. 2, pp. 429 - 445, March 1996 entnommen werden.

25

30

Ein mit Hilfe eines sogenannten „gleitenden Fensters“ (Decodierfenster) durchgeführter Window-MaxLogMAP-Algorithmus ist in der Druckschrift „An Intuitive Justification and a Simpli-

fied Implementation of the MAP Decoder for Convolutional Codes", A. J. Viterbi, IEEE Journal on Selected Areas in Communications, vo. 16, no.2, pp. 260 - 264, Feb. 1998, beschrieben.

5

Als Grundlage für die Decodierung einer mit Hilfe eines binären Faltungscodes verschlüsselten Datenfolge dient das binäre Trellis-Diagramm. Ein zu einem Informationsbit der Datenfolge gehörendes Segment des Trellis-Diagramms erfasst alle möglichen Kombinationen von m (Gedächtnislänge des Faltungscodes) vorausgegangenen Informationsbits als 2^m Ausgangszustände. Weiterhin werden alle sich daraus ergebenden „Umrechnungen“ (Codierungen) des Informationsbits als $2^{(m+1)}$ Zustandsübergänge und resultierende 2^m Zielzustände als Ausgangszustände für das nächste nachfolgende Informationsbit erfasst. Eine Informationsbitfolge entspricht dabei einem bestimmten Pfad innerhalb des Trellis-Diagramms, wobei mit Hilfe des MaxLogMAP-Algorithmus eine Abfolge der wahrscheinlichsten Informationsbits im Trellis-Diagramm ermittelt wird.

20

Bei der Realisierung des MaxLogMAP-Algorithmus ist grundsätzlich zwischen einer systolischen Realisierung einerseits, und einer prozessor-orientierten Realisierung andererseits zu unterscheiden.

25 Bei der systolischen Realisierung wird eine möglichst hohe Parallelität von Decodierschritten im gesamten Trellis-Diagramm angestrebt. Diese Realisierung kommt bei extrem hohen Datendurchsatz-Anforderungen von bis zu 50 Gbit/s zur Anwendung.

30 Die prozessor-orientierte Realisierung ist bei geringem Hardwareaufwand für moderate Datendurchsatz-Anforderungen von einigen Mbit/s geeignet.

Bei beiden Realisierungen wird vorausgesetzt, dass für große, blockweise übertragene Datenfolgen eine Decodierung nur mit Hilfe eines Decodierfenster sinnvoll realisiert werden kann.

- 5 Aus Gründen des Datendurchsatzes und des Hardwareaufwands wird zur Decodierung in der Regel der Window-MaxLogMAP-Algorithmus verwendet.

10 Decodierungs-Ergebnisse (Softoutput-Werte), die vergleichend dazu mit einem MaxLogMAP-Algorithmus ohne Decodierfenster gewonnen werden, sind zwar genauer, jedoch wird hierbei ein großer Aufwand an Hardware und an Speicher benötigt.

15 Eine Alternative zum MaxLogMAP-Algorithmus wird, bezogen auf eine Blockfehlerrate bei einem gegebenem Signal-Rausch-Abstand, durch den in DE 39 10 739 C3 bzw. in DE 42 24 214 C2 beschriebenen „Softoutput-Viterbi-Algorithmus“ (SOVA) gebildet. Der SOVA-Algorithmus weist vergleichend zum MaxLogMAP-Algorithmus jedoch eine geringere Korrelation zwischen Deco-
20 dierfehlern und gebildeten Softoutput-Werten auf.

Die Aufgabe der vorliegenden Erfindung besteht darin, eine Decodierung einer mit Hilfe eines binären Faltungscodes verschlüsselten Datenfolge mittels MaxLogMAP-Algorithmus derart
25 durchzuführen, dass bei geringem Hardwareaufwand genaue Softoutput-Werte als Decodierungs-Ergebnisse gebildet werden.

Die Aufgabe der Erfindung wird durch die Merkmale des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen sind in den
30 Unteransprüchen angegeben.

Das erfindungsgemäße Verfahren gehört zu den prozessorientierten Realisierungen des MaxLogMAP-Algorithmus.

Durch die erfindungsgemäße Speicherkaskadierung einerseits und durch die Verwendung von Stützstellen zur Metrikberechnung andererseits, ist der MaxLogMAP-Algorithmus effizient
5 auf genau einem anwenderspezifischen Baustein (ASIC) integrierbar.

Durch den Verzicht auf die Verwendung eines Decodierfensters müssen keine Abstriche bei der Genauigkeit der Decodierungsergebnisse erfolgen.
10

Die Metrikwerte werden erfindungsgemäß bei einem ersten Berechnungsdurchgang produktiv und bei weiteren Berechnungsdurchgängen auf den abgespeicherten Stützstellen basierend
15 reproduktiv berechnet.

Durch die erfindungsgemäße Speicherkaskadierung wird ein optimaler Datendurchsatz realisiert.

20 Durch das erfindungsgemäße Verfahren wird Speicherplatz und damit Fläche auf einem ASIC-Baustein eingespart. Die eingesparte Fläche steht somit für weitere Signalverarbeitungsalgorithmen zur Verfügung, wodurch zusätzliche Algorithmen im ASIC-Baustein realisierbar sind.

25

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand einer Zeichnung näher erläutert. Dabei zeigt:

FIG 1 eine prinzipielle Darstellung eines MaxLogMAP-
30 Algorithmus zur exakten Berechnung von Softoutput-Werten gemäß dem Stand der Technik,

FIG 2 eine prinzipielle Darstellung eines Window-MaxLogMAP-Algorithmus zur Berechnung von Softoutput-Werten gemäß dem Stand der Technik,

FIG 3 eine prinzipielle Darstellung eines erfindungsgemäßen MaxLogMAP-Algorithmus zur exakten Berechnung von Softoutput-Werten, und

FIG 4 ein Beispiel zur erfindungsgemäßen Metrikwert-Berechnung und Abspeicherung.

FIG 1 zeigt eine prinzipielle Darstellung eines MaxLogMAP-Algorithmus zur exakten Berechnung von Softoutput-Werten gemäß dem Stand der Technik.

Mit Hilfe des MaxLogMAP-Algorithmus wird eine Decodierung einer mit Hilfe eines binären Faltungscodes verschlüsselten Datenfolge aus K Informationsbits durchgeführt.

Bei einem Trellis-Diagramm TREL werden an einem Trellis-Segment T1 beginnend Alfa-Metrikwerte $M\alpha$ -calc-store für jedes einzelne Trellis-Segment TSN als logarithmische Übergangswahrscheinlichkeiten berechnet und abgespeichert. Parallel dazu werden gleichzeitig an einem Trellis-Segment T2 beginnend Beta-Metrikwerte $M\beta$ -calc-store für jedes einzelne Trellis-Segment TSN berechnet und abgespeichert.

25

Die beiden Berechnungen passieren einander an einem Trellis-Segment TSM, wobei ab diesem Zeitpunkt ein Entscheidungsprozess zur Errechnung eines Softoutputwerts durchgeführt wird, d.h. die Decodierung eines Informationsbits der Datenfolge erfolgt. Dabei werden bei einem in Vorwärtsrichtung durchgeführten „Forward-Decision-Process“ FDP nach dem Passieren des Trellis-Segments TSM aktuell berechnete Alfa-Metrikwerte

30

M α -calc mit den früher berechneten und abgespeicherten Beta-Metrikwerten M β -calc-store zur Errechnung des Softoutputwerts verwendet.

- 5 Dieser Vorgang erfolgt zeitgleich bei einem in Rückwärtsrichtung durchgeführten „Backward-Decision-Process“ BDP, bei dem aktuell berechnete Beta-Metrikwerten M β -calc mit den früher berechneten und abgespeicherten Alfa-Metrikwerten M α -calc-store zur Errechnung des Softoutputwerts verwendet werden.

10

Im Folgenden gilt:

- K Informationsbitanzahl,
 s Zustand einer Faltungscodierung,
 m Codegedächtnislänge,
 15 T benötigte Anzahl an Trellis-Segmenten,
 mit $T = K + m$, und
 π Länge einer Einschwingphase, mit $\pi > 5 \cdot m$

- Mit einer Wortbreite w eines Metrikspeichers und unter der
 20 Annahme, dass die jeweiligen Metrikwerte normiert werden, werden für diese Realisierung des MaxLogMAP-Algorithmus zwei Metrik-Prozessoren und insgesamt $2 \cdot K / 2 \cdot w \cdot 2^m$ Speicherplätze benötigt. Es wird ein Datendurchsatz erreicht von:

$$\frac{1}{t_{\text{segment}} \cdot 10^6} \text{ [Mbit/s]} .$$

25

Der oben genannte Parameter t_{segment} ist dabei abhängig von der zur Implementierung des Algorithmus verwendeten Baustein-Technologie (ASIC), von der Speicherarchitektur und von der beim ASIC-Baustein verwendeten Taktrate.

30

Bei terminierten Codes beginnt die jeweilige Berechnung der Metrikwerte unter der Annahme einer ungleichmäßigen Wahrscheinlichkeitsverteilung bei einem Trellis-Segment mit einem Startzustandswert („initial-state“), der eine Wahrscheinlichkeit von 100% aufweist, während alle weiteren „states“ eine Wahrscheinlichkeit von 0% aufweisen.

Bei den sogenannten „Tailbiting-Codes“ ist kein Startzustand von vornherein bekannt, weshalb eine Einschwingphase der Länge π für beide Richtungen eingeführt werden muss. Zugehörige Metrikwerte der Einschwingphase sind mit $M\alpha$ -pre bzw. mit $M\beta$ -pre bezeichnet.

FIG 2 zeigt eine prinzipielle Darstellung eines Window-MaxLogMAP-Algorithmus zur Berechnung von Softoutput-Werten gemäß dem Stand der Technik.

Bei langen Datenfolgen wird der Window-MaxLogMAP-Algorithmus, der mit Hilfe eines gleitenden Decodierfensters realisiert wird, verwendet. Als besonderer Vorteil des Window-MaxLogMAP-Algorithmus ist dessen effiziente Implementierung zu nennen.

Vergleichend mit FIG 1 werden Alfa-Metrikwerte $M\alpha$ -calc in Vorwärtsrichtung bei einem Trellis-Segment T1 beginnend exakt berechnet. Demgegenüber werden Beta-Metrikwerte $M\beta$ -calc-1 eines ersten Decodierfensters DP1 bzw. Beta-Metrikwerte $M\beta$ -calc-2 eines zweiten Decodierfensters DP2 geschätzt.

Erreichen die beiden Decodierfenster DP1 und DP2 den rechten Rand des Trellis-Diagramms TREL, sind alle Terminierungsinformationen vorhanden. Es werden die Beta-Metrikwerte

M β -calc-1 bzw. M β -calc-2 exakt berechnet und die entsprechenden Softoutput-Werte gebildet.

5 Metrikwerte M α -pre, M β -pre-1 und M β -pre-2 werden wiederum einer Einschwingphase zugeordnet.

Der Window-MaxLogMAP-Algorithmus ist in der oben genannten Druckschrift „An Intuitive Justification and a Simplified Implementation of the MAP Decoder for Convolutional Codes“
10 näher beschrieben.

Bei dieser Realisierung werden bei einem mit FIG 1 vergleichbaren Datendurchsatz insgesamt $\lceil w/\psi \rceil + 1$ Metrik-Prozessoren sowie $(1+\theta) \cdot \psi \cdot w \cdot 2^m$ Speicherplätze benötigt.

15

Dabei ist:

ψ die Anzahl an Trellis-Segmenten, für die jeweils 2^m Metriken gespeichert werden,

20 w die Größe des Decodierfensters in Trellis-Segmenten, und

$\theta \in \{0,1\}$ ein Parameter, der abhängig von der zur Implementierung des Algorithmus verwendeten Bausteintechnologie (ASIC), von der Speicherarchitektur und von der beim ASIC-Baustein verwendeten Taktrate
25 ist.

Speziell bei Coderaten nahe eins (mit Hilfe von Punktierung erzeugt) hochratiger Kanäle, werden durch Verwendung des Decodierfensters jedoch nicht mehr tolerierbare Performance-
30 Verschlechterungen verursacht.

FIG 3 zeigt eine prinzipielle Darstellung eines erfindungsgemäßen MaxLogMAP-Algorithmus zur exakten Berechnung von Softoutput-Werten.

5 Vergleichend mit FIG 1 werden wieder Alfa-Metrikwerte in einer Vorwärtsrichtung und Beta-Metrikwerte in einer Rückwärtsrichtung jedes Trellis-Segments TSN berechnet. Jedoch werden jetzt erfindungsgemäß nur Metrikwerte einer ausgewählten Anzahl an Trellis-Segmenten, die als Stützstellen dienen, ausgewählt und abgespeichert.

Die Abspeicherung erfolgt in einer bevorzugten Ausführungsform innerhalb eines in Ebenen kaskadiert aufgeteilten Speichers.

15

Im Folgenden gilt:

m	Codegedächtnislänge,
sm	„memory-length-shift“ eines Feed-Forward-Terminated-Codes (bei einem Rekursiv-Terminated-Code und bei einem Tail-Biting-Code ist $sm = 0$),
20	
K	Informationsbitanzahl,
T	benötigte Anzahl an Trellis-Segmenten,
	es gilt $T = K + m$;
π	Länge der Einschwingphase mit $\pi > 5 \cdot m$.
25	
$\delta(1)$	Speichertiefe einer ersten Speicherebene SP(1) für Stützstellen einer ersten Metrikwert-Berechnung,
$\delta(n-1)$	Speichertiefe einer n-1 ten Speicherebene SP(n-1) für Stützstellen einer n-1 ten Metrikwert-Berechnung, und
30	
$\delta(n)$	Speichertiefe einer n-ten Speicherebene SP(n) für Stützstellen einer n-1 ten Metrikwert-Berechnung.

Beim Trellis-Diagramm TREL werden in einem ersten Durchgang an einem Trellis-Segment T1 beginnend Alfa-Metrikwerte $M\alpha\text{-calc}(1)$ in einer Vorwärtsrichtung FDP und an einem Trellis-Segment T2 beginnend Beta-Metrikwerte $M\beta\text{-calc}(1)$ in einer Rückwärtsrichtung BDP für jedes einzelne der Trellis-Segmente TSN als logarithmische Übergangs-Wahrscheinlichkeiten berechnet.

Erfindungsgemäß werden jedoch jetzt aus den errechneten Metrikwerten $M\alpha\text{-calc}(1)$ bzw. $M\beta\text{-calc}(1)$ des ersten Durchgangs für eine Auswahl von $K/\delta(1)$ Trellis-Segmenten, die als Stützstellen dienen, Metrikwerten $M\alpha\text{-calc-sel}(1)$ bzw. $M\beta\text{-calc-sel}(1)$ des ersten Durchgangs jeweils in einer ersten Speicherebene SP(1) mit einer Speichertiefe von $\delta(1)$ abgelegt.

15

Bei einem zweiten Durchgang werden, basierend auf je zwei benachbarten Stützstellen des ersten Durchgangs, wiederum Metrikwerte $M\alpha\text{-calc}(2)$ bzw. $M\beta\text{-calc}(2)$ derjenigen Trellis-Segmente TSN berechnet, die zwischen den jeweiligen Stützstellen des ersten Durchgangs angeordnet sind.

20

Wie beim ersten Durchgang werden aus den errechneten Metrikwerten $M\alpha\text{-calc}(2)$ bzw. $M\beta\text{-calc}(2)$ des zweiten Durchgangs für eine Auswahl von $K/\delta(1)/\delta(2)$ Trellis-Segmenten, die wiederum als Stützstellen dienen, die entsprechenden Metrikwerte $M\alpha\text{-calc-sel}(2)$ bzw. $M\beta\text{-calc-sel}(2)$ des zweiten Durchgangs in einer zweiten Speicherebene SP(2) mit einer Speichertiefe von $\delta(2)$ abgelegt.

25

Diese auf den Stützstellen eines vorhergehenden Durchgangs basierende Metrikwert-Berechnung wird dementsprechend sowohl

30

in Vorwärtsrichtung als auch in Rückwärtsrichtung fortgesetzt. Dabei werden nach dem Passieren des Trellis-Segments TSM entsprechende Softoutput-Werte gebildet, wobei freiwerdende Speicherebenen entsprechend neu eingesetzt werden.

5

Der Entscheidungsprozess zur Bestimmung der Softoutputwerte erfolgt dabei wie in FIG 1 beschrieben. Die einzelnen Speicherebenen sind zueinander kaskadiert aufgebaut.

10 Nach n Durchgängen sind alle Softoutputwerte bestimmt, wobei die n -te Speicherebene eine Speichertiefe von $\delta(n)$ mit abgespeicherten Metrikwerten von $K/\delta(1)/\delta(2)/\dots/\delta(n)$ Trellis-Segmenten bzw. Stützstellen aufweist.

15 Vergleichend mit den in den Figuren FIG 1 bzw. FIG 2 angegebenen Datendurchsatz werden durch das erfindungsgemäße Verfahren insgesamt $2 \cdot n$ Metrik-Prozessoren sowie

$$\left(\sum_{i=1}^n (1 + \theta_i) \cdot \delta_i \right) \cdot w \cdot 2^m \text{ Speicherplätze benötigt.}$$

20 Es gilt dabei: $\prod_{i=1}^n \delta_i = K$, $\theta_i \in \{0,1\}$, in Abhängigkeit davon, wieviele ASIC-Taktzyklen für ein Trellis-Segment benötigt werden und wieviele Ports an den Speichern zur Verfügung stehen.

Anhand von existierenden Realisierungen des MaxLogMAPWindow-
 25 Algorithmus können Parameter abgeleitet und für einen Vergleich zwischen den aus FIG 1 bzw. FIG 2 bekannten, herkömmlichen Realisierungen und der erfindungsgemäßen Realisierung verwendet werden.

Die Ergebnisse sind der nachfolgenden Tabelle zu entnehmen:

	Logik [Kgates]	Speicher [Kbit]	„Fläche“ [Kgates]
MaxLogMAP	101	1080	2300
Window-MaxLogMAP	233	138	500
speichererkaskadierte Realisierung	233	106	450

- 5 Bei gleichem Datendurchsatz und ohne Abstriche bei der Genauigkeit des MaxLogMAP-Algorithmus, ermöglicht durch die Vermeidung eines Decodierfensters, wird der Hardware-Aufwand bei der erfindungsgemäßen speichererkaskadierten Realisierung um mehr als 80% gegenüber der herkömmlichen in FIG 1 beschriebenen Realisierung verringert.

Dabei wurde für diesen Vergleich vorausgesetzt:

- 15 - ein Overhead durch Softinput- und Softoutput Puffer an einer Systemschnittstelle mit $(R^{-1} + 1) \cdot w_{\text{soft}} \cdot k \cdot a_{\text{memory}}$
wobei in der Regel $k=K$ ist, jedoch $k=W+((n_{\beta} - 1) \cdot \delta)$ bei der Realisierung mit Decodierfenster sein kann; mit R als Code-Rate, w_{soft} als Wortbreite der Softwerte sowie a_{memory} als Flächeneinheit pro Speicherbit,
- 20 - ein Overhead durch Ansteuerung und Schnittstelle: A_{overhead} .
- ein Metrik-Prozessor incl. Skalierung der Registerbits:

$$A_{\text{viterbi}}(w) \cdot f_{\text{parallel}} + 2^{(m+1)} \cdot w \cdot a_{\text{flipflop}}$$

- wobei A_{viterbi} die Viterbi-Arithmetik für eine gegebene Wortbreite w und a_{flipflop} die Registerflächeneinheit pro Bit darstellen, f_{parallel} ist die Anzahl der in einem ASIC-Taktzyklus ausgeführten Butterfly-Berechnungen und kann
- 25 folgende Werte annehmen: $\{1, 2, \dots, 2^{(m-1)}\}$,

- eine Metrik-Wortbreite $w = 16$,
- eine Softwert-Wortbreite $w_{\text{soft}} = 8$,
- eine Speicherbitfläche $a_{\text{memory}} = 2$,
- eine Registerbitfläche $a_{\text{flipflop}} = 10$ Einheiten,
- 5 - ein Viterbi-Arithmetik/Butterfly $A_{\text{viterbi}} = 12500$ Einheiten,
- ein Overhead $A_{\text{overhead}} = 50000$ Einheiten.

Die Einheiten entsprechen einem Gatteräquivalent einer 0,18 μm ASIC-Technologie bei einer Taktfrequenz von rund 150 MHz.

10

Im Folgenden werden Daten eines GSM/EDGE-Standard relevanten Parametersatz verglichen:

- Code-Rate $R = 1/6$
- Gedächtnislänge $m = 6$
- 15 - Blockgröße $K = 1000$
- Decoder-Durchsatz größer als 2 Mbit/s
- Parallelität $f_{\text{parallel}} = 1$

	Konfiguration (@ 2,6 Mbit/s)	„Fläche“ [Kgates]
exakte Realisierung	2 Metrik-Prozessoren	2250
Window - Realisierung (Pfadverschmelzungsli- mit = 160) Fenster auch bei Sof- tinput- und Softout- put-Speicher	7 Metrik-Prozessoren (1+ θ) Metrikspeicher mit $\delta=32$, $\theta=1$ 1 Softinput und Softoutput- Speicher mit Fenster	480
Window - Realisierung (Pfadverschmelzungsli- mit = 160)	6 Metrik-Prozessoren (1 + θ) Metrikspeicher mit $\delta=40$, $\theta=1$ 1 Softinput und Softoutput- Speicher	500
Window - Realisierung (Pfadverschmelzungsli- mit = 160)	5 Metrik-Prozessoren (1+ θ) Metrikspeicher mit $\delta=54$, $\theta=0$ 1 Softinput und Softoutput- Speicher	425
Speicher-kaskadierte Realisierung	6 Metrik-Prozessoren 2 Stützstellen-Speicher der 1.Ebene mit $\delta_1=18$; (1+ θ_2)*2 Stützstellen- Speicher der 2. Ebene mit $\delta_2=8$, $\theta_2=1$; (1+ θ_3)*2 Metrik-Speicher mit $\delta_3=7$, $\theta_3=1$; 1 Softinput und Softoutput- Speicher	450

	Konfiguration (@ 2,6 Mbit/s)	„Fläche“ [K Gates]
Speicher-kaskadierte Realisierung	6 Metrik-Prozessoren 2 Stützstellen-Speicher der 1. Ebene mit $\delta_1=10$; (1+ θ_2)*2 Stützstellen- Speicher der 2. Ebene mit $\delta_2=10$, $\theta_2=0$; (1 + θ_3) * 2 Metrik-Speicher mit $\delta_3=10$, $\theta_3=0$; 1 Softinput und Softoutput- Speicher	400

Bei UMTS (W-CDMA) und bei UTRAN TDD Faltungscodes sind für die Faltungsdecodierung folgende Parameter zu verwenden:

- 5 - Code-Rate $R = 1/3$
 - Gedächtnislänge $m = 8$
 - Maximale Blockgröße $K = 300$
 - Decoder-Durchsatz größer als 2 Mbit/s
 - Parallelität $f_{\text{parallel}} = 8$

	Konfiguration (@ 3.125 Mbit/s)	„Fläche“ [K Gates]
exakte Realisierung	2 Metrik-Prozessoren	2891
Window - Realisierung mit gleitenden Fenster auf Softinput / Soft- output Speicher	6 Metrik-Prozessoren $\delta=40$, $\theta=1$	1848
Speicher-kaskadierte Realisierung	4 Metrik-Prozessoren $\delta_1=20$, $\delta_2=15$ $\theta_1=0$, $\theta_2=1$	1206

Bei UMTS (W-CDMA) und bei UTRAN TDD Turbo Codes kommt ein MaxLogMAP-Decoder mit geringfügigen Erweiterungen als Teil der Turbo-Decodierung in Betracht. So kann auch hier die speicher-kaskadierte Realisierung mit der direkten und der Fenster-Realisierung verglichen werden:

- Code-Rate $R = 1/3$
- Gedächtnislänge $m = 3$
- Maximale Blockgröße $K = 5200$
- 10 - Decoder-Durchsatz größer als 2 Mbit/s
- Parallelität $f_{parallel} = 1/4$

	Konfiguration (@3.125 Mbit/s)	„Fläche“ [K Gates]
exakte Realisierung	2 Metrik-Prozessoren	1727
Window - Realisierung mit gleitenden Fenster auch für Softinput/Softoutput- Speicher	6 Metrik-Prozessoren $\delta=40, \theta=1$	159
Speicher-kaskadierte Realisierung	8 Metrik-Prozessoren $\delta_1=13; \delta_2=10, \delta_3=8, \delta_4=5$ $\theta_1 = 0, \theta_i = 1$ für $i = \{2, 3, 4\}$	448

15

FIG 4 zeigt ein Beispiel zur erfindungsgemäßen Metrikwert-Berechnung und Abspeicherung.

Bei einem ersten Durchgang D1 werden Alfa-Metrikwerte bzw.
20 Beta-Metrikwerte berechnet. Von jedem sechsten Trellis-Segment $TSN = 1, 7, 13, \dots, 73$ als Stützstelle werden je-

weils 2^m berechnete Alfa-Metrikwerte in einer Speicherebene $SP(\alpha_1)$ und jeweils 2^m berechnete Beta-Metrikwerte in einer Speicherebene $SP(\beta_1)$ abgespeichert.

- 5 In einem zweiten Durchgang D2 werden diese Metrikwerte aus den Speicherebenen $SP(\alpha_1)$ bzw. $SP(\beta_1)$ ausgelesen und von den zwischen den Stützstellen angeordneten Trellis-Segmenten die zugehörigen Alfa-Metrikwerte bzw. Beta-Metrikwerte exakt berechnet. Wieder wird eine entsprechende Auswahl an Trellis-
- 10 Segmenten als Stützstellen getroffen und die zugehörigen Metrikwerte abgespeichert. Beispielhaft sind hier zwei Speicherebenen $SP(\alpha_2)$ und $SP(\alpha_2')$ bzw. $SP(\beta_2)$ und $SP(\beta_2')$ angegeben.

- In einem dritten Durchgang D3 wird von beiden Seiten her das
- 15 Trellis-Segment TSM erreicht und es werden für den „Backward-Decision-Process“ aktuell berechnete 2^m Beta-Metrikwerte mit abgespeicherten 2^m Alfa-Metrikwerten, die im Speicher $SP(\alpha_2)$ abgelegt sind, zur Bestimmung von Softoutput-Werten verwendet. Genauso werden für den „Forward-Decision-Process“ aktuell
- 20 ell berechnete 2^m Alfa-Metrikwerte mit abgespeicherten 2^m Beta-Metrikwerten, die im Speicher $SP(\beta_2)$ abgelegt sind, zur Bestimmung von Softoutput-Werten verwendet.

- Nach insgesamt $n=3$ Durchgängen D_n wurden alle Entscheidungswerte $M_{decisions}$ gebildet.
- 25

Patentansprüche

1. Verfahren zur Decodierung einer mit Hilfe eines binären
Faltungscodes verschlüsselten Datenfolge aus K Informati-
onsbits,
- bei dem bei einem Trellis-Diagramm mit Trellis-Segmenten
in einem ersten Durchgang für eine Vorwärtsrichtung und
für eine Rückwärtsrichtung mit Hilfe eines MaxLogMAP-
Algorithmus Metrikwerte von allen Trellis-Segmenten ex-
akt berechnet werden,
- bei dem eine Anzahl an Trellis-Segmenten als Stützstel-
len des ersten Durchgangs ausgewählt und zugehörige Met-
rikwerte in einer ersten Speicherebene abgespeichert
werden,
- bei dem mit $1 < i \leq n$ in einem i-ten Durchgang für beide
Richtungen Metrikwerte von Trellis-Segmenten berechnet
werden, die zwischen den Stützstellen eines i-1 ten
Durchgangs angeordnet sind, wobei abgespeicherte Metrik-
werte von Stützstellen des i-1 ten Durchgangs zur Be-
rechnung der Metrikwerte des i-ten Durchgangs verwendet
werden,
- bei dem eine Anzahl an Trellis-Segmenten als Stützstel-
len des i-ten Durchgangs ausgewählt und zugehörige Met-
rikwerte in einer i-ten Speicherebene abgespeichert wer-
den,
- bei dem die auf den Stützstellen basierende Metrikwert-
Berechnung und Abspeicherung n-mal erfolgt, bis sich die
Metrikwert-Berechnung der Vorwärtsrichtung und der Rück-
wärtsrichtung bei einem Trellis-Segment treffen und
nachfolgend ein Entscheidungsprozess zur Errechnung von
Softoutput-Werten zur Decodierung durchgeführt wird.

2. Verfahren nach Anspruch 1, bei dem für jeweils eine Richtung der ersten Speicherebene jeweils eine Speichertiefe von δ_1 zugewiesen wird, wobei in der ersten Speicherebene die jeweiligen Metrikwerte von jedem K/δ_1 -ten Trellis-Segment abgespeichert sind.
5
3. Verfahren nach Anspruch 1 oder 2, bei dem für jeweils eine Richtung der i -ten Speicherebene jeweils eine Speichertiefe von δ_i zugewiesen wird, wobei in der i -ten Speicherebene die jeweiligen Metrikwerte von jedem $K/\delta_1/\dots/\delta_i$ ten Trellis-Segment abgespeichert werden.
10
4. Verfahren nach einem der vorhergehenden Ansprüche, bei dem bei terminierten Codes für die Berechnung der Softoutputwerte eine verzögerte Entscheidungsphase verwendet wird.
15
5. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Decodierung auf genau einem anwenderspezifischen Baustein durchgeführt wird.
20

FIG 1

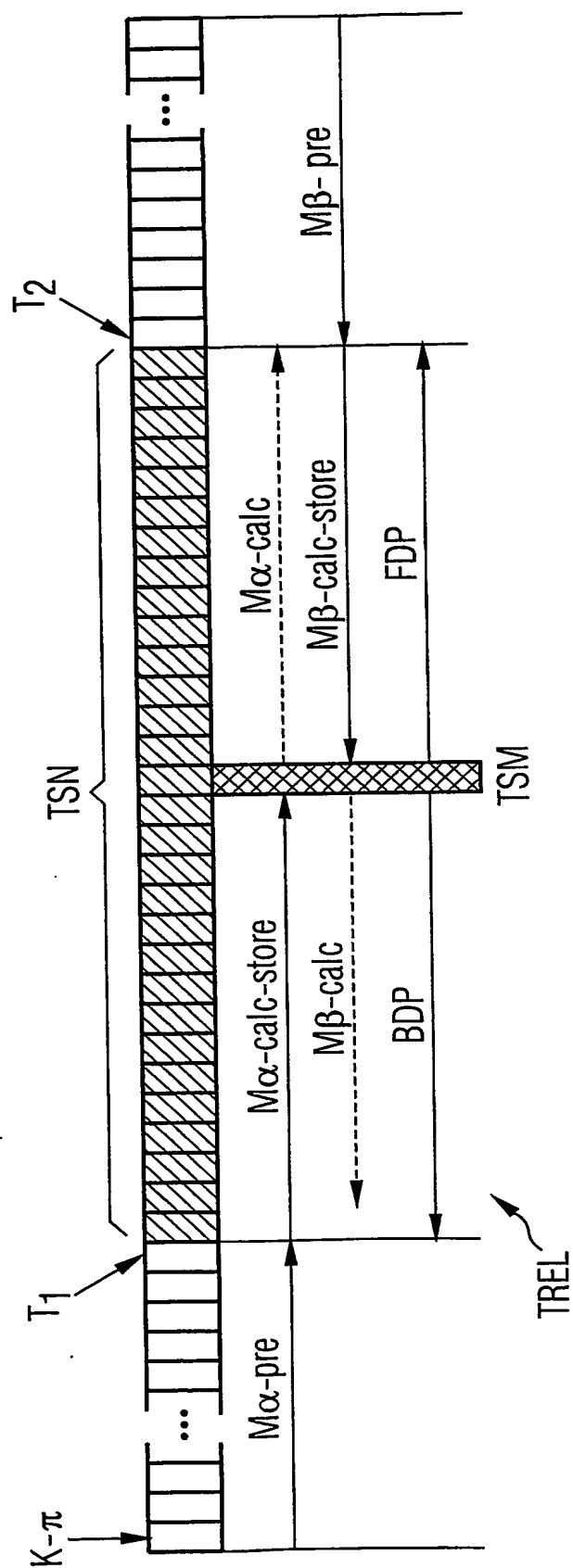


FIG 2

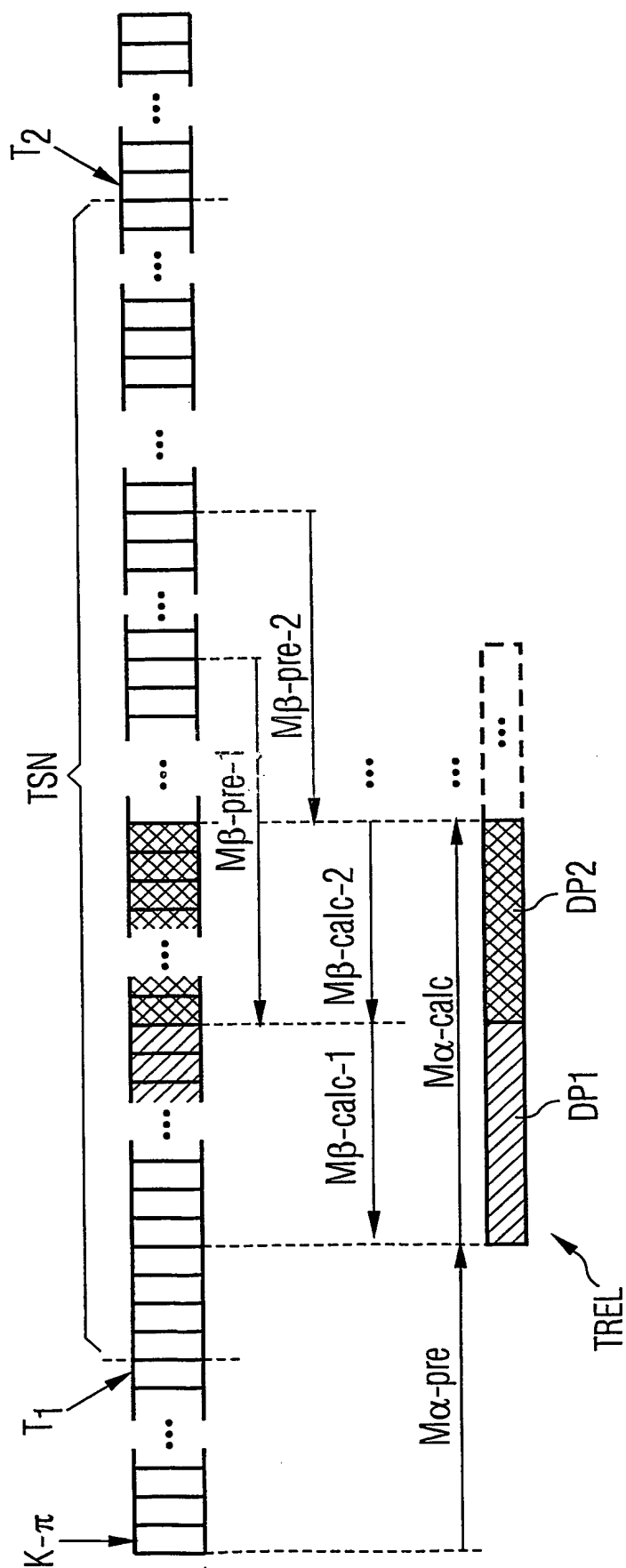


FIG 3

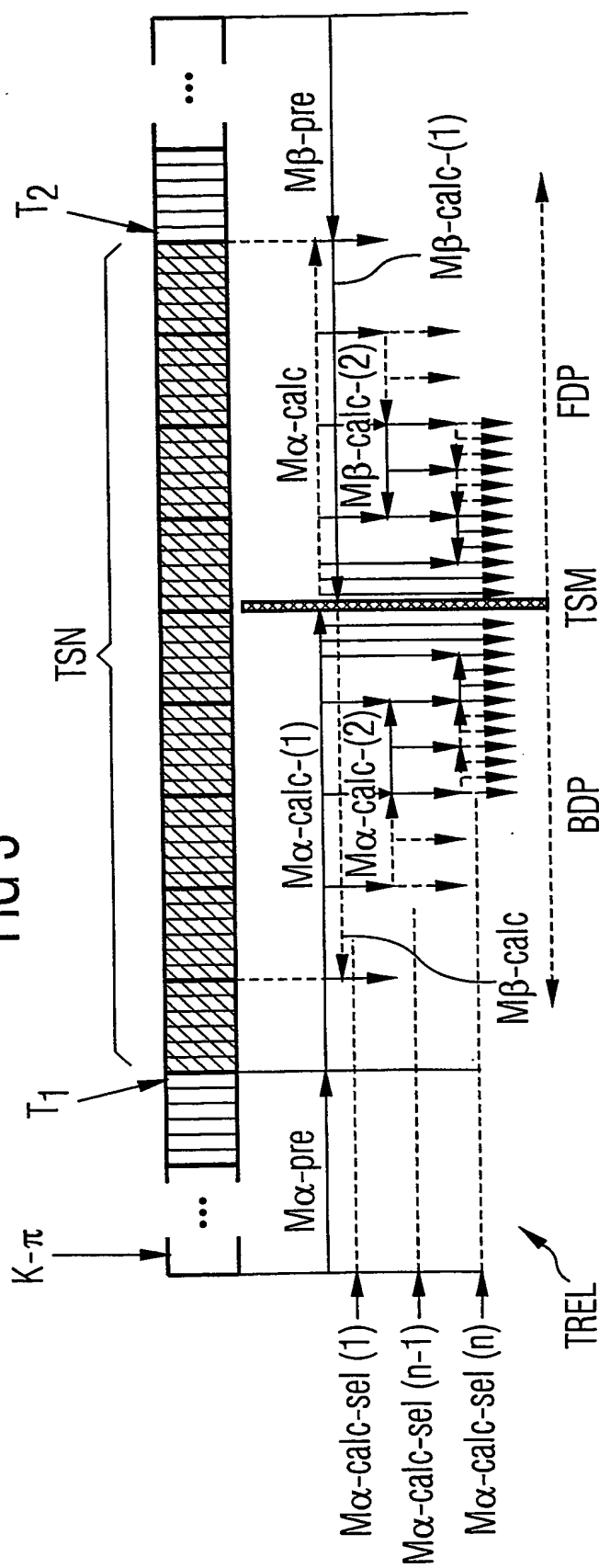
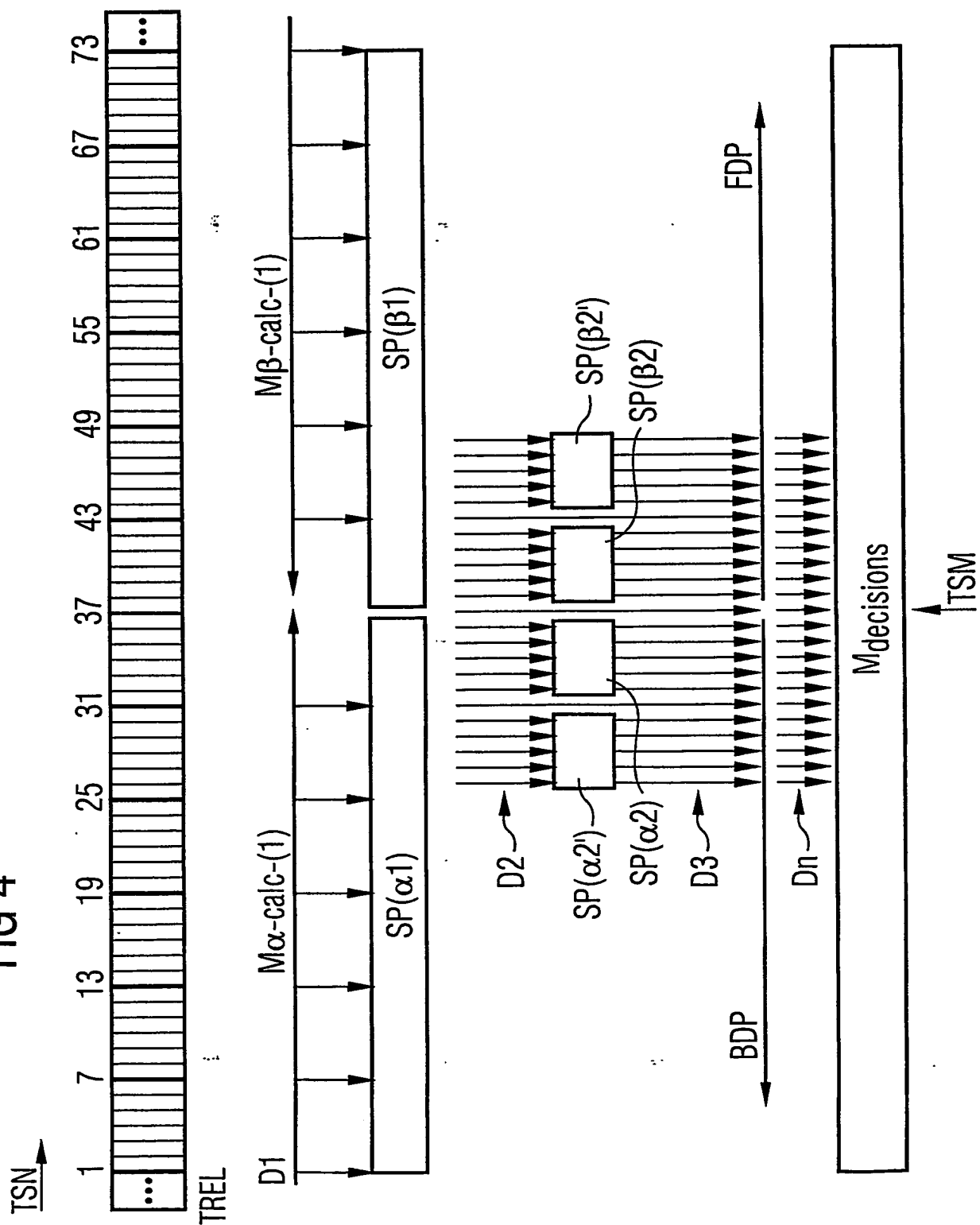


FIG 4



INTERNATIONALER RESEARCHENBERICHT

Internationales Zeichen

PCT/EP 03/02942

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03M13/29 H04L1/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03M H04L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>BAHL L R ET AL: "OPTIMAL DECODING OF LINEAR CODES FOR MINIMIZING SYMBOL ERROR RATE"</p> <p>IEEE TRANSACTIONS ON INFORMATION THEORY, IEEE INC. NEW YORK, US, Bd. IT-20, Nr. 2, 1. März 1974 (1974-03-01), Seiten 284-287, XP000647243</p> <p>ISSN: 0018-9448</p> <p>in der Anmeldung erwähnt</p> <p>Seite 284, Spalte 2, Zeile 7 -Seite 287, Spalte 2, letzte Zeile</p> <p>---</p> <p>-/--</p>	1



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

g Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

16. Juni 2003

Absendedatum des internationalen Recherchenberichts

25/06/2003

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Van Staveren, M

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	VITERBI A J: "AN INTUITIVE JUSTIFICATION AND A SIMPLIFIED IMPLEMENTATION OF THE MAP DECODER FOR CONVOLUTIONAL CODES" IEEE JOURNAL ON SELECTED AREAS IN COMMUNICATIONS, IEEE INC. NEW YORK, US, Bd. 16, Nr. 2, 1. Februar 1998 (1998-02-01), Seiten 260-264, XP000741780 ISSN: 0733-8716 in der Anmeldung erwähnt Seite 260, Spalte 1, Zeile 1 -Seite 264, Spalte 2, letzte Zeile ---	1
A	HAGENAUER J ET AL: "INTERACTIVE DECODING OF BINARY BLOCK AND CONVOLUTIONAL CODES" IEEE TRANSACTIONS ON INFORMATION THEORY, IEEE INC. NEW YORK, US, Bd. 42, Nr. 2, März 1996 (1996-03), Seiten 429-445, XP000850507 ISSN: 0018-9448 in der Anmeldung erwähnt Seite 429, Spalte 1, Zeile 1 -Seite 445, Spalte 2, letzte Zeile ---	1
A	DE 42 24 214 A (DEUTSCHE FORSCH LUFT RAUMFAHRT) 27. Januar 1994 (1994-01-27) in der Anmeldung erwähnt Zusammenfassung ---	1
A	DE 39 10 739 A (DEUTSCHE FORSCH LUFT RAUMFAHRT) 11. Oktober 1990 (1990-10-11) in der Anmeldung erwähnt Zusammenfassung -----	1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zu dieser Patentfamilie gehören

Internationales Patentzeichen

PCT/EP 03/02942

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
DE 4224214	A	27-01-1994	DE	4224214 A1	27-01-1994
			FR	2694647 A1	11-02-1994
			US	5511081 A	23-04-1996
DE 3910739	A	11-10-1990	DE	3910739 A1	11-10-1990
			EP	0391354 A2	10-10-1990
			JP	2288512 A	28-11-1990
			JP	2533219 B2	11-09-1996
			US	5181209 A	19-01-1993

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.